

F-02 E50601

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-228672

(43)Date of publication of application : 11.10.1986

(51)Int.Cl.

H01L 29/78  
G11C 17/00

(21)Application number : 60-069322 (71)Applicant : NEC CORP

(22)Date of filing : 02.04.1985 (72)Inventor : KOYAMA MASASHI

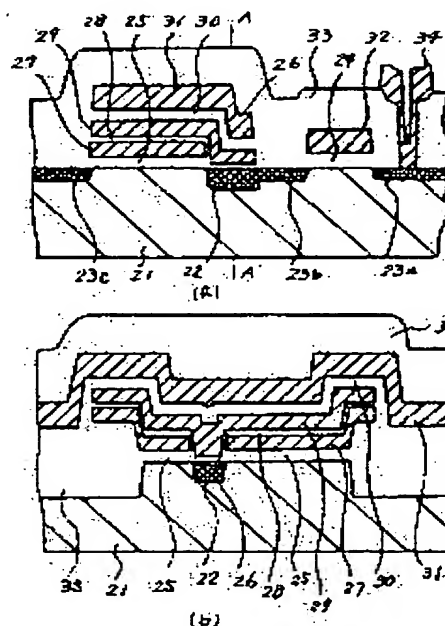
## (54) INSULATED GATE TYPE NON-VOLATILE SEMICONDUCTOR MEMORY AND MANUFACTURE THEREOF

## (57)Abstract:

PURPOSE: To make it possible to reduce the area of a cell, by forming a tunnel insulating film and a tunnel impurity diffused layer in a self-aligning mode so that the boundaries of both the film and the layer are substantially aligned, thereby omitting the necessity of extra

alignment margin between the impurity diffused layer region and the tunnel insulating film region. CONSTITUTION: A tunnel insulating film 26 is formed in the opening part in a first floating gate electrode 27, so that the boundaries of both the film 26 and a tunnel impurity diffused layer 22 are substantially aligned, in the self-aligning mode together with the tunnel impurity diffused layer 22. The film 26 is contacted with a second floating gate electrode 29. The surface of a

substrate on the tunnel diffused layer 22 is not eroded when resist is removed. Therefore the tunnel insulating film 26 having excellent quality is obtained. The memory cell structure, which can form the tunnel insulating film having the excellent quality and the tunnel impurity diffused layer by a self-aligning mode together and is suitable for high degree of integration, can be provided.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision  
of rejection][Kind of final disposal of application  
other than the examiner's decision of

⑨ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-228672

⑬ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑭ 公開 昭和61年(1986)10月11日

H 01 L 29/78  
G 11 C 17/00

1 0 1

7514-5F  
6549-5B

審査請求 未請求 発明の数 2 (全7頁)

⑯ 発明の名称 絶縁ゲート型不揮発性半導体メモリ及びその製造方法

⑰ 特 願 昭60-69322

⑱ 出 願 昭60(1985)4月2日

⑲ 発 明 者 小 山 昌 司 東京都港区芝5丁目33番1号 日本電気株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号

㉑ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

絶縁ゲート型不揮発性半導体メモリ及びその製造方法

2. 特許請求の範囲

- (1) 一導電型の半導体基板の一主面に形成された反対導電型の第1、第2の不純物拡散層と、前記第1の不純物拡散層をドレインとし前記第2の不純物拡散層をソースとするチャンネル領域と、該チャンネル領域を覆うごとく設けられた第1の絶縁膜と、該第1の絶縁膜に接して設けられた第1の浮遊ゲート電極と、該第1の浮遊ゲート電極を覆うごとく設けられた第2の絶縁膜と、前記第1の不純物拡散層に接続された反対導電型の第3の不純物拡散層と、該第3の不純物拡散層の表面上に設けられた前記第1の絶縁膜より薄い第3の絶縁膜と、前記第2の絶縁膜及び前記第3の絶縁膜に接して設けられた第

2の浮遊ゲート電極と、該第2の浮遊ゲート電極を覆うごとく設けられた第4の絶縁膜と、該第4の絶縁膜に接するごとく設けられた制御ゲート電極とを含む絶縁ゲート型不揮発性半導体メモリであって、前記第3の不純物拡散層の領域境界と前記第3の絶縁膜の領域境界とが実質的に一致していることを特徴とする絶縁ゲート型不揮発性半導体メモリ。

- (2) 第1の浮遊ゲート電極と第2の浮遊ゲート電極が電気的に接続されていることからなる特許請求の範囲第(1)項に記載の絶縁ゲート型<sup>(不揮発性)</sup>半導体メモリ。

- (3) 一導電型の半導体基板の一主面に第1の絶縁膜を形成する工程と、該第1の絶縁膜上に第1の浮遊ゲート電極材料膜を形成する工程と、該第1の浮遊ゲート電極材料膜の所定の領域に開孔部を設ける工程と、前記浮遊ゲート電極材料膜をマスクとして不純物を前記開孔部下の前記半導体基板に導入する工程と、前記第1の浮遊ゲート電極材料膜をマスクとして前記開孔部下

の前記半導体基板表面を露出させる工程と、該露出された半導体基板表面に第3の絶縁膜を形成すると同時に前記第1の浮遊ゲート電極材料膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜と前記第3の絶縁膜上に第2の浮遊ゲート電極材料膜を形成する工程を含むことを特徴とする絶縁ゲート型不揮発性半導体メモリの製造方法。

### 3. 発明の詳細な説明

#### 〔産業上の利用分野〕

本発明は浮遊ゲートを有する絶縁ゲート型不揮発性半導体メモリ及びその製造方法に関するものである。

#### 〔従来の技術〕

近年、浮遊ゲート電極を有する絶縁ゲート型半導体不揮発性半導体メモリは、その製造方法の容易さ及び保持特性の良好さなどの利点のために広く普及している。その中でも最近では高集積度の電気的消去及び書き換え可能な不揮発性半導体メモリ

2と接続されている。4は $Se\bar{L}.Tr$ のゲート絶縁膜、5は $M.Tr$ の第1のゲート絶縁膜、6はトンネル絶縁膜である。7は浮遊ゲート電極で $M.Tr$ チャネル領域を覆いかつトンネル層不純物拡散層2の対向電極となるべく、トンネル絶縁膜6を介してトンネル領域を覆っている。10は浮遊ゲート7上のゲート電極間絶縁膜、11は $M.Tr$ の制御ゲート電極、12は $Se\bar{L}.Tr$ のゲート電極、13は層間絶縁膜、14は $Se\bar{L}.Tr$ ドレイン電極である。

この構造において浮遊ゲート電極7への電子注入は、 $M.Tr$ の制御ゲート電極11、 $Se\bar{L}.Tr$ のゲート電極12に高電圧を $Se\bar{L}.Tr$ のドレイン電極14に低電圧を印加し、トンネル絶縁膜6中の電子トンネリングにより行なり。電子放出は $M.Tr$ の制御ゲート電極11を低電位に、 $Se\bar{L}.Tr$ のゲート電極12、 $Se\bar{L}.Tr$ のドレイン電極14に高電圧を印加し、前記電子注入時と逆方向の電界をトンネル絶縁膜6に印加して行なり。

次にこの従来構造のメモリの製造方法を、

(以下、EEPROMという。)が出現し出した。

このEEPROMには各種構造のメモリトランジスタが考案されている。しかしその中でも、基板上の不純物拡散層上の薄い絶縁膜(以下、トンネル絶縁膜という。)中のファウラーノルトヘイム(Fowler-Nordheim)電子トンネル現象を利用したメモリトランジスタが、最も信頼度が高くかつ大容量不揮発性半導体メモリに適している。次にこの構造のEEPROMのメモリトランジスタの従来構造及び製造方法を図面に従って説明する。

第5図は一従来例のメモリセルの構造を示す断面図である。このメモリセルはセレクトトランジスタ(以下、 $Se\bar{L}.Tr$ という。)とメモリトランジスタ(以下、 $M.Tr$ という。)とで構成されている。ここで1は半導体基板、2はトンネル現象の基板側電極であるトンネル不純物拡散層、3aは $Se\bar{L}.Tr$ のドレイン不純物拡散層、3bは $M.Tr$ のドレイン不純物拡散層でかつ $Se\bar{L}.Tr$ のソース不純物拡散層、3cは $M.Tr$ のソース不純物拡散層である。ここで3bはトンネル層不純物拡散層

第6図(a)~(d)に示す、各工程における第5図のB-B' 縦断面図によって説明する。

まず第6図(a)に示すように、半導体基板1上に素子分離用絶縁膜15、絶縁膜16、フォトリソグスト膜17を形成後、不純物を基板上に導入する。フォトリソグスト膜17は周知のフォトリソグスト技術によりトンネル不純物拡散層2のみが露出するようにパターンニングされている。

この後第6図(b)に示すように、絶縁膜16を除去後、第1のゲート絶縁膜5を形成する。次に周知のフォトリソグスト技術によりトンネル絶縁膜となる領域のみの絶縁膜を選択的にエッチングするべくフォトリソグスト膜18を形成する。その後第6図(c)に示すように、ゲート絶縁膜5を部分的にエッチングし基板1を露出させ、フォトリソグスト膜18を除去後トンネル絶縁膜6を形成する。さらに浮遊ゲート電極材料膜7aを形成する。

次に第6図(d)に示すように、ゲート電極間絶縁膜10を形成し、その上に制御ゲート電極材料膜11aを形成する。この後制御ゲート電極材料膜

11a, ゲート電極間絶縁膜10及び浮遊ゲート電極材料膜7aを所定のパターンにエッチングし、ソース・ドレイン不純物拡散層を基板上に形成、層間絶縁膜13を形成する。

この製造方法は、従来の製造方法の一例であり他の例も知られている。

〔発明が解決しようとする問題点〕

しかしそれら従来の製造方法及び構造例で共通しているのは、トンネル不純物拡散層2を形成する工程と、トンネル絶縁膜領域6を形成する工程が別々のフォトリソリソグラフィで行なわれていることである。従って工程が長く、また構造上ではトンネル不純物層2の領域境界とトンネル絶縁膜6の領域境界間に所定のアライメント用のマージン部分を設けなければならない。このマージン部分はM.Trの縮小化を妨げている。

このようにトンネル不純物拡散層とトンネル絶縁膜をセルフアラインに形成することは、フォトリソリソグラフィ工程数の削減だけでなくM.Trの縮小化にとっても寄与が大きい。このセルフア

ネル不純物拡散層と自己整合的に形成できるところの、高集積化に適したメモリセル構造を有する絶縁ゲート型不揮発性半導体メモリ及びその製造方法を提供することにある。

〔問題点を解決するための手段〕

本発明の絶縁ゲート型不揮発性半導体メモリは、一導電型の半導体基板の一主面に形成された反対導電型の第1、第2の不純物拡散層と、前記第1の不純物拡散層をドレインとし前記第2の不純物拡散層をソースとするチャンネル領域と、該チャンネル領域を覆うごとく設けられた第1の絶縁膜と、該第1の絶縁膜に接して設けられた第1の浮遊ゲート電極と、該第1の浮遊ゲート電極を覆うごとく設けられた第2の絶縁膜と、前記第1の不純物拡散層に接続された反対導電型の第3の不純物拡散層と、該第3の不純物拡散層の表面上に設けられた前記第1の絶縁膜より薄い第3の絶縁膜と、前記第2の絶縁膜及び前記第3の絶縁膜に接して設けられた第2の浮遊ゲート電極と、該第2の浮遊ゲート電極を覆うごとく設けられた第4の

イン形成方法の一つとしてトンネル絶縁膜と第1のゲート絶縁膜の膜厚差を利用し、第1のゲート絶縁膜とそれより薄いトンネル絶縁膜を形成後、イオン注入法によりトンネル不純物領域をトンネル絶縁膜部分の半導体基板上にのみ形成する方法が考えられる。しかしこの方法は第1のゲート絶縁膜がイオン注入のマスク性を有するだけ厚い必要があり、M.Trのコンダクタンス劣化の面から非現実的である。

また第1の絶縁膜上にパターンニングされたフォトリソリソグラフィで不純物をイオン注入法等により基板に導入し、その後第1の絶縁膜をトンネル領域部分のみ除去し、基板を露出させ、前記フォトリソリソグラフィを除去後、トンネル絶縁膜を形成する方法も考えられる。しかしこの方法ではフォトリソリソグラフィを除去する時に、トンネル不純物領域の基板表面が露出したままであるため基板表面が冒され、良質のトンネル絶縁膜を得ることができない。

本発明の目的は、良質なトンネル絶縁膜をトン

ネル絶縁膜と、該第4の絶縁膜に接するごとく設けられた制御ゲート電極とを含む絶縁ゲート型不揮発性半導体メモリであって、前記第3の不純物拡散層の領域境界と前記第3の絶縁膜の領域境界とが実質的に一致していることからなっている。

また本発明の絶縁ゲート型不揮発性半導体メモリの製造方法は、一導電型の半導体基板の一主面に第1の絶縁膜を形成する工程と、該第1の絶縁膜上に第1の浮遊ゲート電極材料膜を形成する工程と、該第1の浮遊ゲート電極材料膜の所定の領域に開孔部を設ける工程と、前記浮遊ゲート電極材料膜をマスクとして不純物を前記開孔部下の前記半導体基板に導入する工程と、前記第1の浮遊ゲート電極材料膜をマスクとして前記開孔部下の前記半導体基板表面を露出させる工程と、該露出された半導体基板表面に第3の絶縁膜を形成すると同時に前記第1の浮遊ゲート電極材料膜上に第2の絶縁膜を形成する工程と、該第2の絶縁膜と前記第3の絶縁膜上に第2の浮遊ゲート電極材料膜を形成する工程とを含んでいる。

## 〔実施例〕

以下に本発明を実施例に基づき詳細に説明する。

第1図(a)は本発明の一実施例によるメモリセルの構造を示す断面図で、第1図(b)は第1図(a)のA-A'線断面図である。メモリセルは、メモリトランジスタ(M.Tr)とセレクトトランジスタ(Se<sub>2</sub>.Tr)から構成されている。

ここで、21は半導体基板、22はトンネル不純物拡散層、23aはSe<sub>2</sub>.Trドレイン不純物拡散層、23bはM.Trドレイン不純物拡散層で、Se<sub>2</sub>.Trソース不純物拡散層を兼ね、かつトンネル不純物拡散層22と接続されている。24はSe<sub>2</sub>.Trのゲート絶縁膜、25はM.Trの第1のゲート絶縁膜、26はトンネル絶縁膜、27は第1の浮遊ゲート電極でM.Trチャンネル領域を覆っている。28は第1の浮遊ゲート電極上の第2のゲート絶縁膜、29は第2の浮遊ゲート電極で第1の浮遊ゲート電極27とトンネル絶縁膜26を覆っている。30は第2の浮遊ゲート電極上の第3のゲート絶縁膜、31はM.Trの制御ゲート

電極である。32はSe<sub>2</sub>.Trのゲート電極、33は層間絶縁膜、34はSe<sub>2</sub>.Trのドレイン電極である。

この構造の特徴は、トンネル絶縁膜26が第1の浮遊ゲート電極27の開孔部にトンネル不純物拡散層22と自己整合的<sup>(1)</sup>の両者の領域境界が実質的に一致するように設けられ、第2の浮遊ゲート電極29に接していることである。

次にこの構造のメモリセルの製造方法を、第2図(a)~(d)に示す、各工程における第1図(b)と同一の断面での構造図に従って説明する。

まず第2図(a)に示すように、半導体基板21上の所定の領域に素子分離用絶縁膜35を形成後、M.Trの第1のゲート絶縁膜25を、さらに第1のゲート絶縁膜25上に第1の浮遊ゲート電極材料膜27aを形成する。その後トンネル絶縁膜領域を開孔部とするフォトリソグラフィ技術で形成する。

この後第2図(b)に示すように、第1の浮遊ゲート電極材料膜27aをエッチングし、開孔部を設

けその後フォトリソグラフィ技術で形成する。

次に第2図(c)に示すように、トンネル不純物拡散層22上にトンネル絶縁膜26を形成する。このとき第1の浮遊ゲート電極材料膜27aをマスクとして半導体基板21に不純物を導入し、トンネル不純物拡散層22を形成する。この後その領域上の第1のゲート絶縁膜25を除去し半導体基板21の表面を露出させる。

次に第2図(d)に示すように、トンネル不純物拡散層22上にトンネル絶縁膜26を形成する。このとき第1の浮遊ゲート電極材料膜27aをマスクとして半導体基板21に不純物を導入し、トンネル不純物拡散層22を形成する。この後その領域上の第1のゲート絶縁膜25を除去し半導体基板21の表面を露出させる。

次に第2図(e)に示すように、トンネル不純物拡散層22上にトンネル絶縁膜26を形成する。このとき第1の浮遊ゲート電極材料膜27aをマスクとして半導体基板21に不純物を導入し、トンネル不純物拡散層22を形成する。この後その領域上の第1のゲート絶縁膜25を除去し半導体基板21の表面を露出させる。

次に第2図(f)に示すように、このフォトリソグラフィ技術で形成する。

この後制御ゲート電極材料膜31aを形成する。

このように所定のパターン化された第1の浮遊ゲート電極材料膜27aをマスクにして、不純物の基板への導入とトンネル絶縁膜形成を行なっているため、トンネル絶縁膜26とトンネル不純物拡散層22が1フォトリソグラフィ工程により自己整合的に、両者の領域境界は実質的に一致して形成される。またトンネル不純物拡散層22上の基板表面はレジスト除去時に覆われないため良質のトンネル絶縁膜26が得られる。

第3図(a)は上記実施例の平面構造を示す模式的

平面図で、第3図(b)、(c)はその等価回路図である。  
第3図(a)Q<sub>1</sub>はSel.Tr、Q<sub>2</sub>はM.Trのチャンネルを表わしている。次にこれらの図面を参照して、本実施例の動作について説明する。

浮遊ゲート電極に電子を注入するときは、Sel.Tr<sup>②</sup>ゲート電極32及び制御ゲート電極31に高電圧が印加されSel.Trのドレイン電極34は低電位に固定される。電子はトンネル不純物拡散層22からトンネル絶縁膜26を介して第2の浮遊ゲート電極29に注入される。第2の浮遊ゲート電極29から電子を放出するときは、制御ゲート電極31を低電位に固定し、Sel.Tr<sup>②</sup>ゲート電極32、Sel.Trのドレイン電極34に高電圧を印加する。こうすることで電子は第2の浮遊ゲート電極29からトンネル不純物拡散層22へ放出される。

読み出し時には、M.Trの制御ゲート電極31(同図(c)のCG)に電圧V<sub>CG</sub>、Sel.Trのドレイン電極34に電圧V<sub>D</sub>が印加される。このときM.Trの実効ゲート電圧となる第1の浮遊ゲート

電極27の電位V<sub>FG1</sub>は、電圧V<sub>CG</sub>、V<sub>D</sub>と各電極間の容量C<sub>FD</sub>(第2の浮遊ゲート電極—ドレイン電極間容量)、C<sub>FC</sub>(第2の浮遊ゲート電極—制御ゲート電極間容量)、C<sub>FF</sub>(第1と第2浮遊ゲート電極間容量)、C<sub>FS</sub>(第1の浮遊ゲートと基板間容量)で決定される。この中で容量C<sub>FF</sub>は電極間の絶縁膜がトンネル絶縁膜26と同時に形成される薄い第2のゲート絶縁膜28でかつその電極面積も大きいと、他の容量に比べて非常に大きな値になる。従ってV<sub>FG1</sub>はV<sub>FG2</sub>とほとんど同電位になる。上記電子注入または放出により電荷が第2の浮遊ゲート電極29に蓄積されて、第2の浮遊ゲート電極電位V<sub>FG2</sub>の変動が生じる。ところが第1の浮遊ゲート電極電位V<sub>FG1</sub>もV<sub>FG2</sub>とはほぼ同電位であるので同様の電位変動が得られる。従って蓄積電荷に応じたチャンネル電流がM.Tr Q<sub>2</sub>を流れることになる。

第4図は本発明の他の実施例のメモリセルトランジスタを示す模式的平面図である。

本実施例は第4図に示す実施例における第1の

浮遊ゲート電極27と第2の浮遊ゲート電極29を接続したものである。これは、トンネル絶縁膜26及び第2のゲート絶縁膜28を形成後に、フォトリソスタマスク工程を追加し第2のゲート絶縁膜28を選択的にエッチングして開孔部36を設けることで達成される。つまり第1の浮遊ゲート電極27と第2の浮遊ゲート電極29はこの開孔部36を通じて接続される。この場合V<sub>FG1</sub>=V<sub>FG2</sub>となり、第2の浮遊ゲート電極29の電荷は第1の浮遊ゲート電極27まで拡がり実効ゲート電圧を与える。この場合工程数が増すことが欠点であるが本発明の主旨であるトンネル絶縁膜とトンネル不純物拡散層を自己整合的に製造できる点では先の実施例と何ら変わりはない。

#### 〔発明の効果〕

以上、詳細説明したとおり、本発明によれば、トンネル絶縁膜とトンネル不純物拡散層が自己整合的に、両者の領域境界を実質的に一致させて形成することが可能になる。従って本発明を適用したメモリセル構造では不純物拡散層領域とトンネ

ル絶縁膜領域間に余分なアライメントマージンを設定する必要がなくなり、セル面積の縮小が可能になる。またトンネル不純物拡散層の導入時のマスク材料は浮遊ゲート電極材料膜であるため、周知のソース・ドレイン形成時のセルフアライン不純物導入方法と同一の方法で不純物拡散層形成ができる。またトンネル不純物拡散層の基板表面を常に絶縁物で保護して製造できるため良質のトンネル絶縁膜を形成することが可能である。

従って、本発明によれば高品質で高集積化に適したメモリセルを有する絶縁ゲート型不揮発性半導体メモリが得られる。

#### 4. 図面の簡単な説明

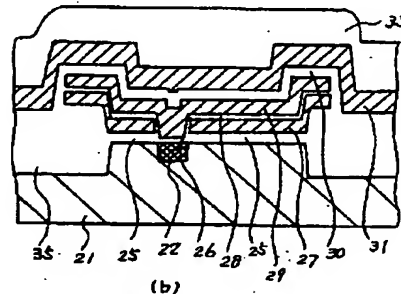
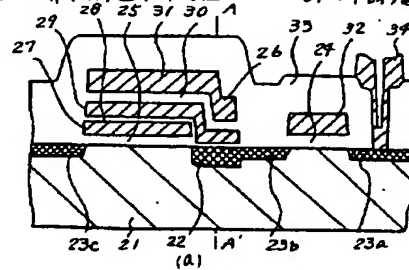
第1図(a)、(b)は本発明の一実施例のメモリセルを示す断面図、第2図(a)~(d)はその主要製造工程における断面図、第3図(a)はその模式的平面図、第3図(b)、(c)はその等価回路図、第5図は一従来例のメモリセルを示す断面図、第6図(a)~(d)はその主要製造工程における断面図である。

21……半導体基板、22……トンネル不純物拡散層、23a、23b、23c……ソース・ドレイン不純物拡散層、24……ゲート絶縁膜、25……第1のゲート絶縁膜、26……トンネル絶縁膜、27……第1の浮遊ゲート電極、27a……第1の浮遊ゲート電極材料膜、28……第2のゲート絶縁膜、29……第2の浮遊ゲート電極、29a……第2の浮遊ゲート電極材料膜、30……第3のゲート絶縁膜、31……制御ゲート電極材料膜、32……ゲート電極、33……層間絶縁膜、34……ドレイン電極、35……素子分離用絶縁膜、36……開孔部、37、38……フォトリソist膜。

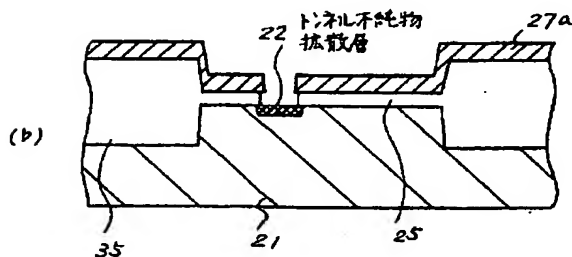
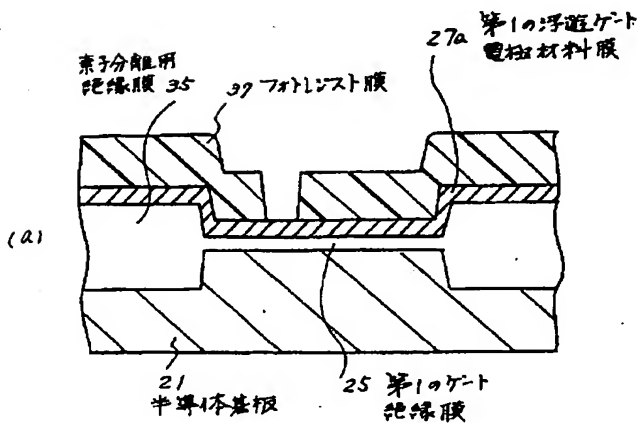
代理人 弁理士 内原 晋



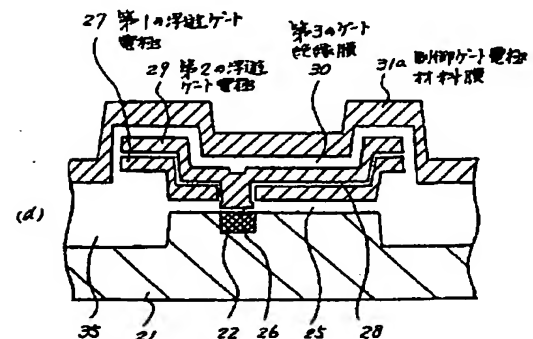
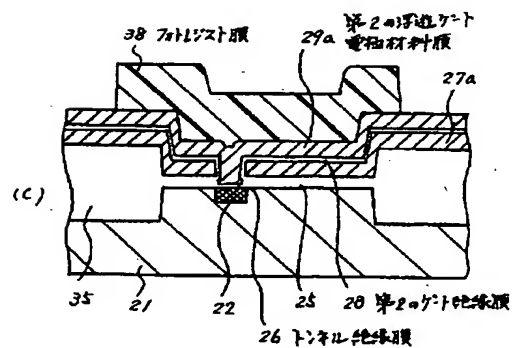
21 : 半導体基板 28 : 第2のゲート絶縁膜  
22 : トンネル不純物拡散層 29 : 第2の浮遊ゲート電極  
23a, 23b, 23c : ソース・ドレイン不純物拡散層 30 : 第3のゲート絶縁膜  
24 : ゲート絶縁膜 31 : 制御ゲート電極  
25 : 第1のゲート絶縁膜 32 : ゲート電極  
26 : トンネル絶縁膜 33 : 層間絶縁膜  
27 : 第1の浮遊ゲート電極 34 : ドレイン電極



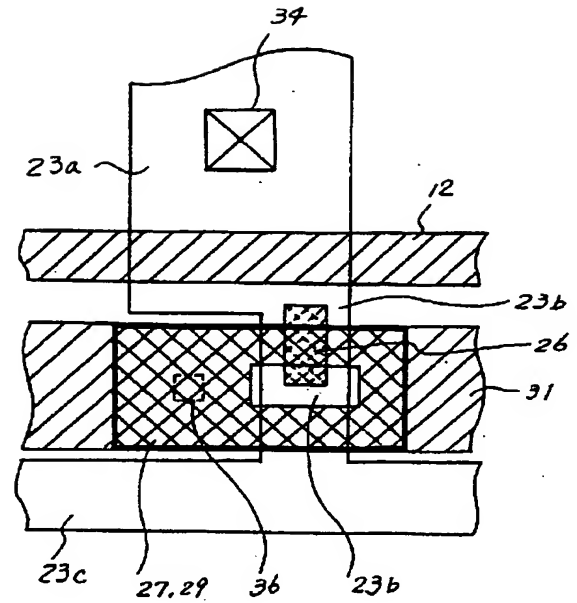
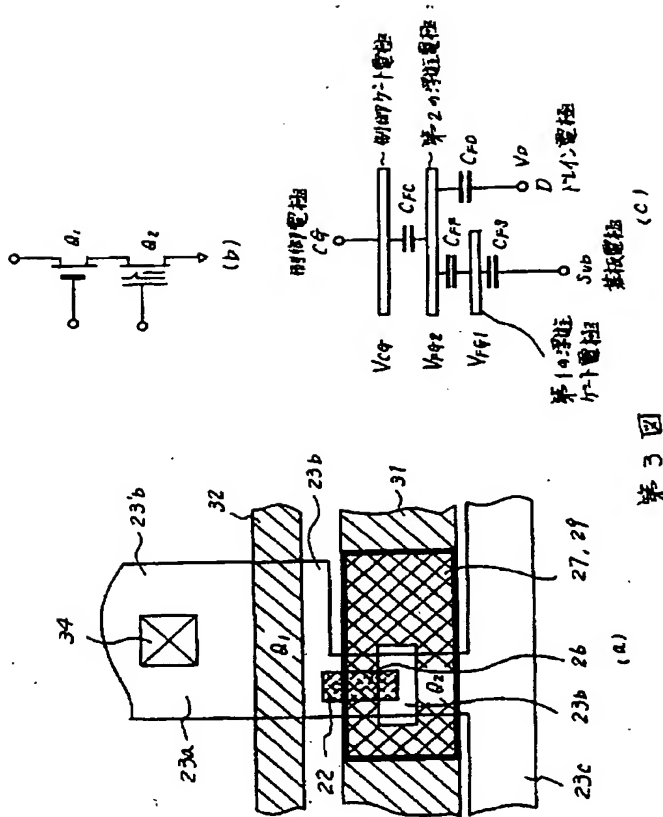
第1図



第2図



第2図



- 1: 半導体基板  
2: トランジスタ用絶縁膜  
3a, 3b, 3c: ヴ-Dリソリ用絶縁膜  
4, 5: ゲート絶縁膜  
6: トランジスタ絶縁膜  
7: 浮遊ゲート電極  
10: ゲート電極間絶縁膜  
11: 制御ゲート電極  
12: ゲート電極  
13: 層間絶縁膜  
14: ドレイン電極

